

## ホールド機能を考慮した順序回路の部分スキャン設計法

佐野ちいほ<sup>†</sup>      三原 隆宏<sup>††</sup>      井上 智生<sup>†††</sup>      Debesh K. DAS<sup>††††</sup>  
 藤原 秀雄<sup>†</sup>

A Partial Scan Design Method for Sequential Circuits with Hold Registers

Chiiho SANO<sup>†</sup>, Takahiro MIHARA<sup>††</sup>, Tomoo INOUE<sup>†††</sup>, Debesh K. DAS<sup>††††</sup>,  
 and Hideo FUJIWARA<sup>†</sup>

あらまし 本論文では、ホールド機能をもつレジスタ（ホールドレジスタ）を考慮した順序回路の部分スキャン設計法を提案する。無閉路順序回路のテスト生成は、すべての極大展開モデルに対し、組合せ回路用のテスト生成アルゴリズムでテスト生成を行えば十分である。そこで、極大展開モデルが唯一となる（最大展開モデルをもつ）ような順序回路のクラスを提案する。更に、一般の順序回路から最大展開モデルが存在する無閉路順序回路に変更する部分スキャン設計法について、スキャンハードウェアオーバーヘッドを最小にするスキャンレジスタ選択問題を定式化し、その問題を解くヒューリスティックアルゴリズムを提案する。これにより、部分スキャン設計におけるスキャンハードウェアオーバーヘッドは、ホールドレジスタを含まない順序回路に比べ小さく実現可能である。

キーワード ホールドレジスタ, 無閉路順序回路, 最大展開モデル, 組合せテスト生成, 部分スキャン

### 1. ま え が き

順序回路のテスト生成は一般に困難な問題であり、回路規模が大きくなると解けなくなる場合が多い。これを解決するために、フリップフロップ（以下、FFと略す）をスキャン可能なFFに変更する部分スキャン設計法が提案されている [1], [2]。これらの設計では、スキャンFFを等価的に外部入出力とみなせるので、スキャンFFを取り除いた残りの回路（核回路と呼ぶ）に対してテスト生成を行えばよい。回路中のすべてのFFをスキャンFFに変更する完全スキャン設計法では、核回路が組合せ回路となるので組合せ回路用のテスト生成アルゴリズムでテスト生成が可能（以下、組

合せテスト生成可能と略す）である。一方、一部のFFをスキャンFFに変更する部分スキャン設計法では、核回路にFFが残るため、一般には、順序回路用のテスト生成アルゴリズムを適用しなければならず、真の意味で組合せ回路レベルのテスト容易化は達成されていない。文献 [3], [4] では、フィードバックループを切断することでテスト生成を容易にしているが、核回路は自己ループを含んでいるため、順序回路用のテスト生成アルゴリズムが必要となる。

一方、順序回路を組合せテスト生成可能とする方法として、核回路が組合せ回路となるように、自己ループを含むすべてのフィードバックループを切断し、回路を無閉路化（無閉路順序回路と呼ぶ）する部分スキャン設計法がある [5], [6]。また、文献 [7], [8] では、それぞれ、無閉路順序回路に対し、テスト生成モデル、時間展開モデルを用いることで組合せテスト生成可能とした。更に、RTレベル回路において、核回路を無閉路にする無閉路部分スキャン設計法も提案されている [8]。

しかし、無閉路部分スキャン設計において、回路にホールド機能を有するレジスタ（ホールドレジスタと呼ぶ）が存在するとき、ホールドレジスタは機能的に自己ループとみなされるため、すべてのホールドレ

<sup>†</sup> 奈良先端科学技術大学院大学情報科学研究科, 生駒市  
 Graduate School of Information Science, Nara Institute of  
 Science and Technology, Ikoma-shi, 630-0101 Japan

<sup>††</sup> 三菱電機コントロールソフトウェア株式会社, 神戸市  
 Mitsubishi Electronic Control Software Corporation,  
 Kobe-shi, 652-0871 Japan

<sup>†††</sup> 広島市立大学情報機械システム工学科, 広島市  
 Department of Information Machines and Interfaces, Fac-  
 ulty of Information Sciences, Hiroshima City University,  
 Hiroshima-shi, 731-3194 Japan

<sup>††††</sup> ジャダプール大学計算機科学・工学科, インド  
 Dept. of Comp. Sc. and Engg., Jadavpur University,  
 Calcutta-700 032, India

ジスタがスキヤンの対象となり、スキヤンに伴うハードウェアオーバーヘッドが大きい。そこで、本論文ではホールドレジスタを含む無閉路順序回路に対し、組合せテスト生成可能な時間展開モデルを提案する [9]。この結果、ホールドレジスタがスキヤンの対象とならず、ハードウェアオーバーヘッドの削減が可能となる。しかしながら、ホールドレジスタに与える制御系列が異なれば、得られる時間展開モデルも一般に異なり、したがって、無閉路順序回路のテスト生成を行うためには、得られるすべての時間展開モデルに対してテスト生成する必要がある。しかし、時間展開モデルの被覆関係を考えた場合、得られるすべての時間展開モデルに対してテスト生成する必要はなく、極大展開モデルに対してのみテスト生成を行えば十分である。本論文では更に、テスト生成に必要な極大展開モデルが唯一となる（最大展開モデルと呼ぶ）順序回路のクラスを提案する。また、その条件のもとで、核回路が最大展開モデルを有する無閉路順序回路となるような部分スキヤン設計法について、ハードウェアオーバーヘッド最小を目指したヒューリスティックアルゴリズムを提案する。

## 2. 順序回路のテスト生成法

### 2.1 回路モデル

順序回路は、複数の組合せ論理ブロック（以下、論理部と略す）からなり、それらの論理部が直接、あるいは、レジスタを通して相互に接続されていると考える。レジスタにはホールドレジスタとロードレジスタがあり、ホールドレジスタは、ホールドモード（連続するクロックサイクル間、値を保持）とロードモード（クロックが与えられたとき、値を取り込む）の二つの動作モードをもつ。一方、ロードレジスタは常にロードモードで動作する。また、レジスタへのクロック信号は、外部から直接印加されるものとする。したがって、順序回路の入力パターンは、論理部へのデータ入力とホールドレジスタへの制御入力の二つからなる。

このとき、順序回路は以下のトポロジグラフを用いて表現できる。

[定義1] (トポロジグラフ)

トポロジグラフ  $G = (V, A, r)$  は有向グラフであり、頂点  $v \in V$  は一つの論理部、辺  $(u, v) \in A$  は二つの論理部  $u, v$  間の接続を表す。また、各辺にはラベル  $r: A \rightarrow Z^+ \cup \{h\}$  ( $Z^+$  は非負の整数集合) が付いており、二つの論理部が 0 個以上のロードレジスタで接続されている場合、ラベル  $r(u, v)$  はロードレジ

スタの個数 ( $r(u, v) \in Z^+$ ) を、一方、一つのホールドレジスタ<sup>注1)</sup>で接続されている場合、 $r(u, v) = h$  と表す。 □

### 2.2 時間展開モデル

時間展開モデルを用いた無閉路順序回路のテスト生成は、まず、無閉路順序回路  $S$  (図 1(a): 1, 2, ..., 7 は論理部,  $b, \dots, i$  はロードレジスタ,  $a, j$  はホールドレジスタ (黒色)) のトポロジグラフ  $G$  (図 1(b)) を作り、それに基づく時間展開グラフ  $E = (V_E, A_E, t, l)$  (図 2) を生成する。

$G$  の任意の頂点に対応する頂点集合を  $V_E$  とし、 $u, v (u, v \in V_E)$  に対応する  $G$  の頂点間に有向辺があるとき、有向辺  $(u, v) \in A_E$  で接続する。 $G$  の任意の頂点に隣接する頂点集合 (祖先) は、 $E$  のそれに対応する頂点の祖先と等しい。 $t$  は  $V_E$  から整数への写像を表し、 $(u, v) \in Z^+$  であれば、頂点  $u, v$  を  $t(v) - t(u)$  が  $u, v$  に対応する  $G$  の頂点間のレジスタ数となるように接続し、 $(u, v) = h$  であれば、ホールドレジスタに対する制御系列が得られるように接続する (例 1 参照)。  $l$  は  $V_E$  から  $G$  の頂点集合  $V$  への写像を表す。ここで、 $G$  の任意の頂点に対し、それに対応する  $E$  の頂点は一般に複数存在する<sup>(注2)</sup>。また、 $E$  の各頂点  $u$  が表す数は、対応する  $G$  の頂点名  $l(u) (\in V)$  を表し、グラフ上部の数字は、その列にある頂点  $u$  のラベル  $t(u)$  を表す。

[例1] 図 3 に示す有向グラフ  $NE$  において、ホールドレジスタ  $a$  (図 1(a)) の制御系列を考える。今、時刻 0 でロードし時刻 4 までホールドされている  $a$  の制御系列を  $a(1) = (L, H, H, H, X, X)$  (図 3(1))、時刻 2 でロードしている  $a$  の制御系列を  $a(2) = (X, X, L, X, X, X)$  (図 3(2)) とする。ただし、 $X$  はドント・ケアとする。ここで、同じ  $a$  の制御系列について、時刻 2 でホールド ( $H$ ) とロード ( $L$ ) の異なる制御が必要となる。しかし、同時刻に異なる制御を与えることはできないため、 $NE$  においてホールドレジスタ  $a$  の制御系列を得ることができない。 □

得られた  $E$  に基づき時間展開モデル  $C_E$  (図 1(c):  $S$  の  $E_1$  に基づく時間展開モデル) を生成する。 $E$  の

(注1): 二つの論理部間に二つのホールドレジスタが、若しくは、ロードレジスタとホールドレジスタが存在する場合、二つのレジスタ間に、信号線のみか、またはバッファのみで構成される論理部があると仮定し、トポロジグラフを表現することができる。

(注2):  $t(u) = t(w)$  かつ  $l(u) = l(w)$  ならば、 $u$  と  $w$  は同一の頂点 ( $u = w$ ) とする。これを単一化と呼ぶ。

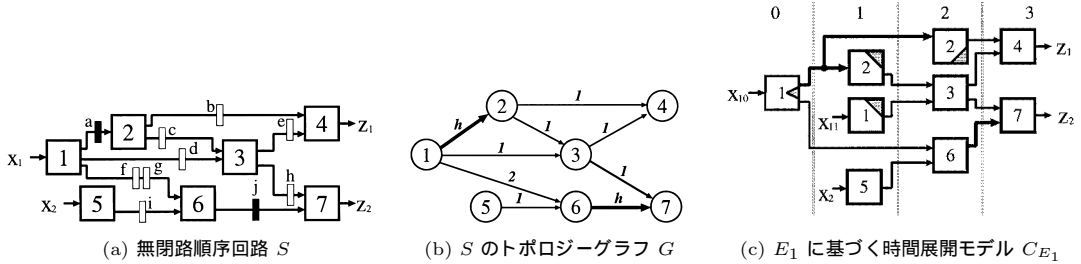


図 1 (a) 無閉路順序回路, (b) トポロジーグラフ, (c) 時間展開モデル  
 Fig. 1 (a) Acyclic Sequential Circuit, (b) Topology Graph, (c) Time Expansion Model (TEM).

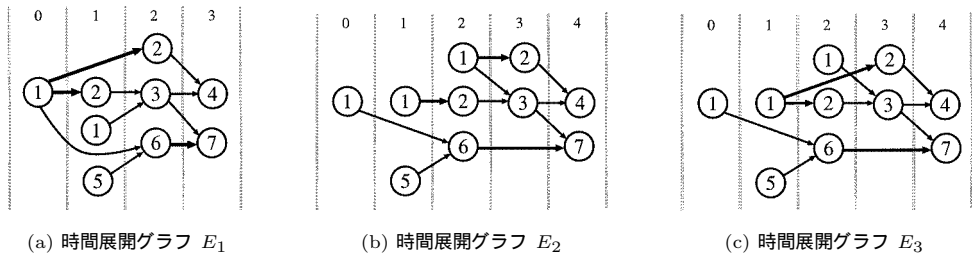


図 2  $S$  の  $G$  に基づく時間展開グラフ  $E_1, E_2, E_3$   
 Fig. 2 Time Expansion Graph (TEG) of  $S$  based on  $G$ .

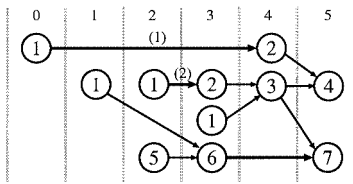


図 3 矛盾した有向グラフ  $NE$   
 Fig. 3 Example of inconsistent graph  $NE$ .

各頂点  $u$  について, 論理部  $l(u)$  を  $u$  に対応する論理部とし, 有向辺  $(u, v) \in A_E$  について,  $(l(u), l(v))$  と同様に,  $u$  の出力を  $v$  の入力として信号線で接続する (その際, 接続にレジスタは介さない). ここで, 各論理部内の信号線及び論理ゲートが, 外部出力, または, 他の論理部の入力のいずれにも到達不可能なとき, その信号線または論理ゲートを削除する (図 1(c) の点線部分). この結果, 組合せ回路となる  $C_E$  に対し, 組合せテスト生成を行う.

また, 一つのトポロジーグラフから得られる時間展開グラフは一般に複数存在し, 一方, 時間展開モデルは時間展開グラフから一意に決定することができる.

### 2.3 時間展開モデルを用いたテスト生成

時間展開モデルに対し, 組合せテスト生成を行った結果得られる時間展開モデルのテストパターンは, 無閉路順序回路の入力系列に変換可能である. したがって, 時間展開モデルに対してテスト生成を行うことで, 無閉路順序回路は組合せテスト生成可能となる.

今, 時間展開モデル  $C_{E_1}$  (図 1(c)) に対してテスト生成した結果得られた入力パターンについて考える.  $C_{E_1}$  の論理部 1, 5 に対する入力パターンをそれぞれ,  $I_C(1) = (X_{10}, X_{11}) = (I_{10}, I_{11})$ ,  $I_C(5) = (X_2) = (I_2)$ , それに対応する  $C_{E_1}$  の出力パターンを  $O_C = (Z_1, Z_2) = (O_1, O_2)$  とする. このとき,  $S$  の入力系列は, 論理部 1 に対して, 時刻 0 に  $I_{10}$ , 時刻 1 に  $I_{11}$  を, 論理部 5 に対して, 時刻 1 に  $I_2$  を入力することで得られる. 一方, ホールドレジスタへの制御系列は,  $C_{E_1}$  の入力パターンに関係なく,  $E_1$  からのみ求めることができる (表 1 参照.  $X$  はドント・ケア).

また, 無閉路順序回路のデータ入力系列と制御系列は, 時間展開グラフとそれに基づく時間展開モデルの入力パターンに変換可能である.

まず, 無閉路順序回路  $S$  の制御系列をもとに時間展

表1  $E_1$  から変換された  $S$  への入出力系列  
Table 1 Input and output sequences for  $S$  from  $E_1$ .

	0	1	2	3
$X_1$	$I_{10}$	$I_{11}$	×	×
$X_2$	×	$I_2$	×	×
Reg.a	$L$	$H$	×	×
Reg.j	×	×	$L$	×
$Z_1$	×	×	×	$O_1$
$Z_2$	×	×	×	$O_2$

開グラフ  $E$  を生成する.  $S$  の時刻  $t$  における論理部  $v$  の入力パターンが出力に影響する場合,  $v$  に対応する  $E$  の頂点の入力パターンを,  $S$  の時刻  $t$  における論理部  $v$  の入力系列とする. このことから, 一つの時間展開グラフ (時間展開モデル) は, 順序回路のデータ入力系列とは関係なく, ホールドレジスタに対する制御系列のみから求めることができる.

### 2.4 時間展開モデルの故障

無閉路順序回路と時間展開モデルの故障の関係について考える. ここで, 論理部間の信号線の縮退故障や, 2種類のレジスタの出力線の縮退故障は, 論理部の入力線や出力線の縮退故障と等価と考えることができる.

無閉路順序回路  $S$  のトポロジグラフを  $G = (V, A, r)$ ,  $G$  の任意の時間展開グラフを  $E = (V_E, A_E, t, l)$ ,  $E$  に基づく  $S$  の時間展開モデルを  $C_E$  とする. また,  $S$  の故障集合を  $F$ ,  $C_E$  の故障集合を  $F_E$  とする.

[定義2] (時間展開モデルの故障)

$S$  の故障  $f \in F$  に対応する  $C_E$  の故障  $f_e \in F_E$  は, 故障  $f$  の存在する論理部  $v \in V$  に対応する  $C_E$  の各論理部  $u \in l^{-1}(v)$  の同じ位置 (信号線) に存在する多重故障とする. すなわち,  $l(u) = v$  となる論理部  $u$  に存在する故障がただ一つするとき,  $f_e$  は単一縮退故障, 複数存在するとき,  $f_e$  は多重縮退故障となる. □

[定理1] (1)  $S$  の故障  $f \in F$  に対応する  $C_E$  の故障  $f_e \in F_E$  がテスト生成可能となるような  $E$  が存在するとき, かつそのときに限り,  $S$  の故障  $f$  はテスト生成可能 (非冗長) である.

(2)  $C_E$  で得られた故障  $f_e \in F_E$  に対するテストパターンは,  $f_e$  に対応する  $S$  の故障  $f \in F$  に対するテスト系列に変換可能である. □

定理1の証明は紙面の都合上省略する. 詳細は文献[10]を参照されたい.

定理1より, 無閉路順序回路は, 異なるいくつかの

時間展開モデルに対してテスト生成を行うことでテスト可能である. また, 時間展開モデルは完全な組合せ回路であるので, 組合せテスト生成アルゴリズムが適用できる (ただし, 多重故障対応).

更に, 定理1より以下のことがいえる.

[系1] 無閉路順序回路を  $S$ ,  $S$  の故障集合を  $F$  とする. 故障  $f \in F$  に対応する任意の時間展開モデルの故障  $f_e \in F_E$  がテスト不能ならば, かつそのときに限り, 故障  $f$  もテスト不能である. □

ゆえに, 順序回路に対する完全なテスト系列を得るためには, 順序回路から得られるすべての時間展開モデルに対してテスト生成を行う必要がある. しかし, 一般にすべての時間展開モデルを求めることは困難である. そこで, テスト生成に必要な時間展開モデルの数を減らすため, 時間展開モデルに被覆関係を導入し, 完全なテスト集合が得られる時間展開モデルを考える.

## 3. 最大テスト可能な順序回路

### 3.1 時間展開モデルの被覆

無閉路順序回路  $S$  のトポロジグラフ  $G$  について,  $G$  の頂点  $v_1$  から  $v_k$  までのすべての経路集合を  $P(v_1, v_k) = \{p_1, p_2, \dots, p_n\}$ , その一つの経路を  $p = (v_1, v_2, \dots, v_k)$  とする.

[定義3] (被覆関係)

$S$  の任意の二つの時間展開グラフを  $E_1 = (V_1, A_1, l_1, t_1)$ ,  $E_2 = (V_2, A_2, l_2, t_2)$  とする. このとき,  $E_2$  の任意の頂点  $s_2$  に対し, 以下の条件を満たすような  $l_2(s_2) = l_1(s_1)$  となる頂点  $s_1$  が  $E_1$  に存在するとき,  $E_1$  は  $E_2$  を被覆する ( $E_1 \succeq E_2$  と書く) という.

$$l_1(u) = l_2(v) \wedge P(l_1(u), l_1(s_1)) \cap P(l_2(v), l_2(s_2)) \neq \phi \Rightarrow P(l_1(u), l_1(s_1)) \subseteq P(l_2(v), l_2(s_2))$$

ただし,  $u \in V_1$ ,  $v \in V_2$  はそれぞれ,  $s_1, s_2$  の祖先とする. □

二つの時間展開グラフ  $E_1, E_2$  について,  $l_1(o_1) = l_2(o_2)$  である任意の頂点  $o_1 \in V_1$ ,  $o_2 \in V_2$  のすべての祖先集合により導出される部分グラフをそれぞれ,  $E'_1 = (V'_1, A'_1, t'_1, l'_1)$ ,  $E'_2 = (V'_2, A'_2, t'_2, l'_2)$  とする.

[補題1] 時間展開グラフ  $E_1$  が  $E_2$  を被覆するとき, 任意の頂点  $u \in V'_1$  について, 以下の条件を満たす  $v = m(u)$  で与えられるちょうど一つの頂点  $v$  に対応するような関数  $m: V'_1 \rightarrow V'_2$  が存在する.

- ( 1 )  $l_1(u) = l_2(v)$
- ( 2 )  $P(l_1(u), l_1(s_1)) \subseteq P(l_2(v), l_2(s_2))$       □

補題 1 の証明は紙面の都合上省略する．詳細は文献 [10] を参照されたい．

時間展開グラフ  $E_1$  が  $E_2$  を被覆するとき， $E_1$ ， $E_2$  の時間展開モデル  $C_{E_1}$  も  $C_{E_2}$  を被覆する ( $C_{E_1} \succeq C_{E_2}$ )．また， $E_1$  が  $E_2$  を被覆し， $E_2$  が  $E_3$  を被覆するとき， $E_1$  は  $E_3$  を被覆する．

定義 3 より，関数  $m$  はトポロジグラフの一つの論理部について，それに対応する  $E_1$  と  $E_2$  の論理部間の関係を表している． $E_1$  が  $E_2$  を被覆するとき， $V_1$  から  $V_2$  への関数  $m$  が存在し， $V_1$  に存在する同じラベルをもつ複数の頂点が， $V_2$  の同じラベルをもつ一つの頂点に対応する場合がある．

無閉路順序回路  $S$  ( 図 1(a) ) の二つの時間展開モデルを  $C_{E_1}$ ， $C_{E_3}$  ( 図 1(c)，図 4 ) とする． $C_{E_1}$  への入力パターン  $(X_{10}, X_{11}, X_2) = (I_a, I_b, I_c)$  に対する出力パターンを  $(Z_1, Z_2) = (O_1, O_2)$  とする．このとき， $C_{E_3}$  への入力パターン  $(X_{10}, X_{11}, X_{12}, X_2) = (I_a, I_a, I_b, I_c)$  に対する  $C_{E_3}$  の出力パターンは， $C_{E_1}$  の出力パターンと等しい．よって  $C_{E_3}$  は  $C_{E_1}$  を被覆する．

これより， $C_{E_1}$  が  $C_{E_2}$  を被覆するとき， $C_{E_2}$  の入出力の関係を  $C_{E_1}$  でも再現できる．これは，被覆する  $C_{E_1}$  の任意の論理部に影響を与える論理部の数は，常に被覆される  $C_{E_2}$  の論理部の数に比べて，等しいか多いからである．一方，定義 2 より，無閉路順序回路の任意の故障について，それに対応する故障は， $C_{E_1}$ ， $C_{E_2}$  により定義される．

[ 命題 1 ] 無閉路順序回路  $S$  の二つの時間展開モデル  $C_{E_1}$ ， $C_{E_2}$  の故障集合をそれぞれ  $F_1$ ， $F_2$  とする．また， $S$  の故障  $f(\in F_1)$  に対応する  $C_{E_1}$ ， $C_{E_2}$  の故障をそれぞれ， $f_1(\in F_1)$ ， $f_2(\in F_2)$  とする．

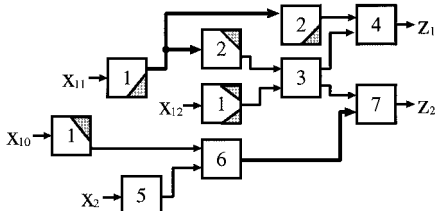


図 4  $E_3$  に基づく時間展開モデル  $C_{E_3}$   
Fig. 4 TEM  $C_{E_3}$  of  $S$  based on  $G$ .

$$C_{E_1} \succeq C_{E_2} \Rightarrow [C_{E_2} \text{ で故障 } f_2(\in F_2) \text{ がテスト可能} \Rightarrow C_{E_1} \text{ で故障 } f_1(\in F_1) \text{ はテスト可能}] \quad \square$$

時間展開グラフ対  $E_1$ ， $E_2$  について， $E_1 \succeq E_2$ ，かつ， $E_2 \not\subseteq E_1$  であるとき， $E_1$  は  $E_2$  を真に被覆する ( $E_1 \succ E_2$  と書く) という．また， $E' \succeq E$  を満たす時間展開グラフ  $E'$  が存在しないとき， $E$  を極大であるという．

今，無閉路順序回路  $S$  ( 図 1(a) ) の時間展開グラフ  $E_1$ ， $E_2$ ， $E_3$  ( 図 2 ) について， $E_3$  は  $E_1$  を被覆するが， $E_2$  と  $E_3$  を真に被覆する時間展開グラフは存在しない．したがって， $E_2$ ， $E_3$  が  $S$  のすべての極大展開グラフである．

このことにより，次の系が成り立つ．

[ 系 2 ] 順序回路  $S$  の任意の故障を  $f$  とする．ある極大展開モデル  $C_{E_m}$  が存在し， $f$  に対応する  $C_{E_m}$  の故障  $f_m$  がテスト可能であるとき，かつそのときに限り， $S$  の故障  $f$  もテスト可能である．      □

系 2 より，順序回路中のテスト可能なすべての故障に対する完全なテスト系列を得るためには，すべての極大展開モデルに対してテスト生成を行えば十分である．しかし，無閉路順序回路の極大展開モデルは一般に複数存在し，ゆえに，その数が多ければ組合せテスト生成にもそれだけ多くの時間がかかると考えられる．そこで，極大展開モデルが唯一となるための回路の条件について考える．ここで，極大展開モデルが唯一になるとき，その極大展開モデルを最大展開モデルと呼び，最大展開モデルを有する順序回路を最大テスト可能という．また，回路が最大テスト可能であれば，最大展開モデルに対してのみ，組合せテスト生成を行えば十分である．

[ 例 2 ] 無閉路順序回路  $S$  ( 図 1(a) ) の極大展開グラフを  $E_2$ ， $E_3$  ( 図 2(b)，(c) ) とする．ここで，図 3 に示す有向グラフ  $NE$  について， $NE$  から  $E_2$ ， $E_3$  に対する関数  $m$  が存在するため， $NE$  は  $S$  の最大展開グラフであると考えられる．しかし，例 1 より， $NE$  からホールドレジスタの制御系列を得ることができないため， $NE$  は  $S$  の時間展開グラフではない．ゆえに， $S$  は最大展開グラフとはならない．      □

例 2 より，ホールドレジスタから一つの外部出力までに複数の経路が存在するとき，一般に時間展開グラフには，そのホールドレジスタに対応する辺 ( 頂点 ) が複数存在する．したがって，最大テスト可能な回路の最大展開モデルを作るためには，トポロジグラフ

の任意の頂点对間に存在するすべての頂点について、それに対応する時間展開グラフの頂点が、その経路数だけ存在すればよい。ただし、ホールドレジスタに関係なく単一化が生じる頂点に関しては、必ずしもこの限りではない。また、このとき、すべてのホールドレジスタに対する制御系列が存在しなければならない。このように、ホールドレジスタの制御系列が得られるように、かつ、すべての頂点が単一化されることなく存在させることを最大化するという。

3.2 経路調整可能性

最大テスト可能な順序回路として、一つの回路クラスを導入する。

[定義4] (経路調整可能)

無閉路順序回路  $S$  のトポロジグラフを  $G = (V, A, r)$ ,  $G$  の任意の頂点  $u$  から  $v(u, v \in V)$  への経路集合を  $P(u, v)$  とする。  $G$  が以下の条件を満たすとき、  $S(G)$  は経路調整可能であるという (図5参照)。

[条件CM]  $r(a_h) = h$  である任意の辺  $a_h \in A$  から到達可能な頂点集合を  $V' (\subseteq V)$  とする。このとき、任意の経路対  $p, q (p, q \in P(u, v), u, v \in V')$  について、次のいずれかが成り立つ。

- (1)  $(H(p) = H(q))$  のとき  $(d(p) = d(q))$
- (2)  $(H(p) \neq H(q))$  のとき、  
 $(H(p) \cap H(q) \neq \phi) \Rightarrow$   
 $(H(p) \supset H(q)) \vee (H(p) \subset H(q))$

ここで、 $d(p)$ ,  $H(p)$  はそれぞれ、経路  $p$  に存在する  $r(a) \in Z^+$  である辺  $a (\in A(p))$  のラベル  $r(a)$  の和、  $r(a) = h$  である辺の集合を表す。ただし、 $A(p)$  は経路  $p$  に存在する辺集合を表す。 □

(1), (2) 以外の場合  $(H(p) \cap H(q) = \phi)$ , 経路  $p$  に存在する任意のホールドレジスタに対する制御系列は、経路  $q$  のホールドレジスタに関係なく決定できる。

CM(1) は、各経路が共通のホールドレジスタ  $h$  を通り、かつ、ロードレジスタ数が等しいことを意味する。したがって、同じ  $h$  をもつ経路に関しては、その経路数に関係なく、 $h$  に対応する辺は唯一であり、常

に最大化可能となる。このとき、 $h$  に必要なロード信号はただか一つであり、ゆえに、 $h$  の制御系列は自由に与えることができる。一方、CM(2) について、最大化可能となるためには、ホールドレジスタの制御が‘調整可能’であればよい (となるようなホールドレジスタが存在すればよい)。すべての経路に対してホールドレジスタの制御を一つずつ決めていく場合、経路  $p$  のすべてのホールドレジスタに対する制御系列を、他の経路  $q$  のホールドレジスタに優先して決定しても、それ以外の (決定されていない) ホールドレジスタが経路  $q$  に存在すれば、それによって制御系列を得ることができる。更に、ホールドレジスタを含まない経路については、それ以外の別の経路に存在するホールドレジスタの制御によって最大化可能となる。

経路調整可能な順序回路に対して、以下のアルゴリズムを適用し、最大展開モデルを生成する。

[最大展開モデル生成アルゴリズム]

経路調整可能な順序回路を  $S$ ,  $S$  のトポロジグラフを  $G = (V, A, r)$ ,  $G$  の時間展開グラフを  $E = (V_E, A_E, t, l)$  とする。

(1)  $G$  から、ホールドレジスタに関する以下の到達可能グラフ  $G_R = (V_R, A_R)$  を求める。頂点集合  $V_R$  は、 $G$  における  $r(a) = h$  である辺  $a$  のラベル集合とする。また、 $r(a_1) = h_1, r(a_2) = h_2 (a_1, a_2 \in V_R)$  である  $G$  の二つの辺  $a_1, a_2$  について、辺  $a_1$  の終点から辺  $a_2$  の始点へ経路が存在する場合 (到達可能なとき、かつ、そのときに限り),  $G_R$  の頂点  $h_1$  から  $h_2$  へ有向辺を書く。これらの辺すべてからなる集合を  $A_R$  とする。

(2)  $G_R$  のすべての頂点について、 $v_1 (\in V_R)$  から  $v_2 (\in V_R)$  へ辺が存在すれば、 $v_1$  が  $v_2$  よりも前にくるように並べる。この順序を  $G_T$  とする。

(3)  $G$  の出次数 0 の頂点集合を  $V_O (\in V)$  とし、各頂点  $v (\in V_O)$  について、 $l(u) = v$  となる  $E$  の頂点集合を  $U$  とする。各頂点  $u \in U$  について、 $u$  のすべての祖先集合により導出される部分グラフ  $E' = (V'_E, A'_E, t', l')$  を求める。このとき、すべてのホールドレジスタのラベル値を 1 とみなす。また、 $t'(v_1) = t'(v_2), l'(v_1) = l'(v_2)$  となる  $E'$  の任意の頂点  $v_1, v_2$  から  $u$  までの経路に含まれるロードレジスタの個数が等しいときにのみ、 $v_1$  と  $v_2$  を単一化する。各頂点  $u$  に対して得られた部分グラフの集合を  $E$  とする。

(4)  $G_T$  の順序に従い、ホールドレジスタのホー

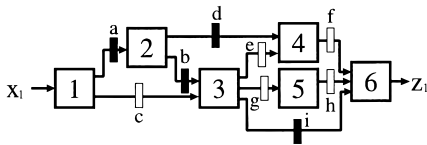


図5 経路調整可能な順序回路  $S_3$

Fig. 5 Path-adjustable acyclic sequential circuit  $S_3$ .

ルド時間を以下の ( a )-( d ) の手順で変更する .

( a )  $G_T = \phi$  ならば ( 5 )へ .  $G_T \neq \phi$  ならば , 先頭の要素を一つ選択し , それを  $h_e$  とする .

( b ) 各  $E' = (V', A', t', l') \in E$  について ,  $E'$  の出力頂点  $u' \in V'$  から  $G_T$  に含まれるホールドレジスタのラベルに出逢うまで祖先をたどり , それまでにたどったすべての頂点集合  $V'_S$  を求める . ここで ,  $V'_S$  にはホールドレジスタに対応する辺の始点は含めない .

( c )  $r(l'(v_e), l'(v'_e)) = h_e$  であるすべての頂点  $l'(v_e)$  の , すべての祖先からなる  $E'$  の頂点集合を  $V(v_e)$  とする . このとき ,  $V(v_e)$  の任意の頂点が ,  $V'_S$  に含まれる頂点に対して , 単一化されるのを避けるために必要な最小の値  $t$  を決定する . また ,  $u_i \in V(v_e)$  について ,  $t'(u_i) = t'(u_i) - t_h$  とする .

( d )  $G_T = G_T - \{h_e\}$  とし , ( a ) に戻る .

( 5 ) ホールドレジスタの制御系列が得られるように , 各  $E'$  を平行移動し  $t'$  を変更する . ただし ,  $E'$  の頂点の相対的な位置関係は変更されない .

このアルゴリズムを用いて得られた経路調整可能な順序回路  $S$  ( 図 5 ) の最大展開モデル  $C_{E_{max}}$  を図 6 に示す . また ,  $C_{E_{max}}$  の論理部 1 に対する入力パターン  $I_C(1) = (X_{10}, X_{11}, X_{12}, X_{13}, X_{14}) = (I_{10}, I_{11}, I_{12}, I_{13}, I_{14})$  , それに対応する  $C_{E_{max}}$  の出力パターン  $O_C = (Z_1) = (O_1)$  について ,  $I_C, O_C$  から得られる  $S$  の入力系列を表 2 に示す (  $X$  はドン

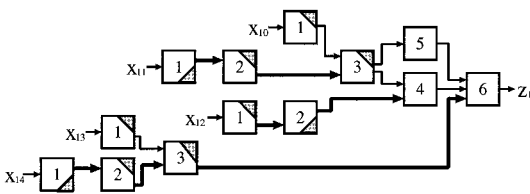


図 6  $S_3$  の最大展開モデル  $C_{E_{max}}$   
Fig. 6 Maximum TEM  $C_{E_{max}}$  for  $S_3$ .

表 2  $C_{E_{max}}$  から変換された  $S$  への入出力系列  
Table 2 Input and output sequences for  $S$  from  $C_{E_{max}}$ .

	0	1	2	3	4	5	6	7
$X_1$	$I_{14}$	$I_{13}$	$I_{11}$	$I_{12}$	$I_{10}$	×	×	×
Reg.a	L	×	L	L	×	×	×	×
Reg.b	×	L	×	L	H	×	×	×
Reg.d	×	×	×	×	L	H	×	×
Reg.i	×	×	L	H	H	H	H	×
$Z_1$	×	×	×	×	×	×	×	$O_1$

ト・ケア) .  
[ 命題 2 ] 経路調整可能な順序回路は最大テスト可能である . □

#### 4. 部分スキャン設計法

##### 4.1 問題の定式化

与えられた順序回路に対し , 最小個のレジスタをスキャンレジスタとして選択することにより , 核回路を経路調整可能 ( 最大テスト可能 ) とするスキャンレジスタ選択問題を考える .

[ スキャンレジスタ選択問題 ]

入力 : 順序回路  $S$  のトポロジグラフ  $G = (V, A, r)$   
出力 : 集合  $R$  を取り除いた核回路のトポロジグラフ  $G_P = (V, A - R, r)$  が経路調整可能となり , かつ ,  $\sum_{a \in R} c(a)$  が最小となるような辺集合  $R \subseteq A$   
ここで ,  $c(a)$  はレジスタをスキャンレジスタに変更する ( 以下 , 選択するという ) 際のハードウェアオーバーヘッドを表す .

このスキャンレジスタ撰択問題に対して , 必ずしも最小性は保証されないが , 多項式時間で解けるヒューリスティックアルゴリズムを次に提案する .

##### 4.2 ヒューリスティックアルゴリズム

この問題を 2 段階に分けて解く . 各段階での最適解が必ずしも全体の最適解になるとは限らないが , 既存のアルゴリズムが適用できるという利点がある . 以下に , アルゴリズムの概略を説明する .

Step 1 トポロジグラフ  $G = (V, A, r)$  から ,  $\sum_{a \in R_A} c(a)$  が最小となるようなフィードバック辺の集合  $R_A$  を取り除き , 無閉路なトポロジグラフ  $G_A = (V_A, A_A, r)$  に変換する .

Step 2  $G_A$  から ,  $\sum_{a \in R_P} c(a)$  が最小となるような辺の集合  $R_P$  を取り除き , 経路調整可能なトポロジグラフ  $G_P$  に変換する .

この結果 ,  $R = R_A \cup R_P$  が求める集合となり ,  $G_P = (V, A - R, r)$  が核回路のトポロジグラフとなる .

Step 1 , Step 2 における最小化問題は NP 完全であることが知られている . そこで , Step 1 の問題に対して , 既存の MFAS ( Minimum Feedback Arc Set ) を求めるアルゴリズム [11] を適用する . このとき , ホールドレジスタに対応する辺 ( 以下 , ホールド辺と略す ) を多く選択すれば , 後の計算量が削減できる .

Step 2 の問題を解くヒューリスティックアルゴリズムとして ,  $Adjust$  を以下に示す .

**Adjust**

1. **procedure** *Adjust*( $G_A$ ) **begin**
2.    $R_P := \phi$ ;
3.    $G_T := Transform(G_A)$ ;
4.   **while**  $G_T(R_P) \neq Adjustable$  **do**
5.      $G_S := Subcircuit(G_T(R_P))$ ;
6.      $Calcweight(G_S)$ ;
7.     **if**  $\neg Check\_Adjustable(G_S)$  **then begin**
8.        $a_F := Select(G_S)$ ;
9.        $R_P := R_P \cup \{a_F\}$ ;
10.       $G_S := Redraw(G_S, R_P)$ ;
11.     **end**
12.   **end**
13.    $R_P := R_P \cup LSelect(G_R)$ ;
14. **end RETURN**  $R_P$ ;

Step 1 で得られたトポロジーグラフ  $G_A$  の任意の入出力頂点の対について、その頂点間に存在する頂点集合と辺集合から導出される部分グラフ  $G_S$  を求め、 $G_S$  が条件 CM を満たすまで、その時点でのハードウェアオーバーヘッドが最小となるようにスキャンレジスタを決定する。この処理を、得られるすべての部分グラフについて繰り返し実行する。なお、 $G_T(R_P)$  は、グラフ  $G_T$  から辺集合  $R_P$  を取り除いて得られるグラフを表す。以下、主な手続きについて説明する。

(1) Calcweight

部分グラフ  $G_S$  のすべての辺  $a$  について重み  $(l, r)$  を求める。 $l, r$  はそれぞれ、出力側に一番近いホールド辺の終点(出発点と呼ぶ)と辺  $a$  の終点間、辺  $a$  の始点と出力頂点間に存在するすべての経路において、他の経路には含まれないホールド辺を含む経路数を表す。

$l, r$  は、以下に示す 3 通りの値をとる。1)  $l, r = 0$ : すべての経路にホールド辺は含まれない(条件 CM(1))。ただし、 $r(a) = h \vee r = 0$  の場合、すべての経路はホールド辺  $a$  を通る。2)  $l, r = 1$ : 任意の経路対について、それぞれの経路に含まれるホールド辺の集合が (a) 等しい、または (b) 包含関係が成り立つ(条件 CM(2))。3)  $l, r > 1$ : 任意の経路対について、それぞれの経路に含まれるホールド辺の集合に包含関係は成立しない。このとき、 $l, r$  は、包含関係が成り立たない経路数を表す。また、重みを求める際、辺  $a$  を選択するためのハードウェアオーバーヘッドを求める。辺  $a$  に隣接するすべての入射辺、出射辺それぞれのハードウェアオーバーヘッドの和  $c_{in}(a)$ ,  $c_{out}(a)$  と  $c(a)$  の

三つの値を比較し、その最小値とする。

今、図 7 の辺  $x = (3, 4)$  の重みについて考える。入力頂点 15 から辺  $x$  までに存在する 3 種類の経路に含まれるホールド辺の集合はそれぞれ、 $p_1 = \{b\}$ ,  $p_2 = \{a\}$ ,  $p_3 = \{c\}$  である。このとき、どの集合も包含関係が成り立たないので  $l = 3$  となる。同様に、辺  $x$  から出力頂点 7 までの 3 種類の経路について、 $p_1 = \{e\}$ ,  $p_2 = \{e, f, g\}$ ,  $p_3 = \{g\}$  である。ここで、 $p_2 \supseteq p_3$  であるので、 $p_2$  と  $p_3$  を 1 種類とみなすと、包含関係の成り立たない経路数は  $r = 2$  となる ( $(l, r) = (3, 2)$ )。また、辺  $x$  を選択する場合のハードウェアオーバーヘッド  $c(x)$  は、 $\min\{c_{in}(x) = 7, c_{out}(x) = 5, c(x) = 1\} = 1$  となる。

(2) Check\_Adjustable

部分グラフ  $G_S$  が条件 CM を満たしているかを調べる。 $l, r > 1$ 、または、一方が 1、他方が 2 以上であれば、条件 CM を満たす包含関係は成立しない。 $l, r$  がともに 1 のとき、どちらか一方が上述の (a) であれば、他方に関係なく包含関係が成立するが、 $l, r$  がともに (b) の場合、包含関係は成立しない。したがって、(1, 1) の場合、常に条件 CM を満たすとは限らない。このような場合、重み  $(0, *)$ ,  $(*, 0)$  ( $* > 1$ ) をもつホールド辺に注目する。一方が 0 であれば、それ以降(以前)の経路は必ずそのホールド辺を通るため、他方の値はそれ以上増加しない。つまり、0 でない値は部分グラフ中に存在するすべての経路について、他の経路には含まれないホールド辺を含む経路数を表す。ゆえに、(1, 1) の矛盾も当然この値に現れる。

以上より、重みの取り得る値の条件 CL を示す。

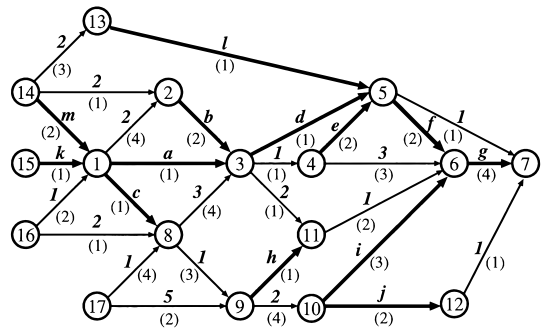


図 7 無閉路なトポロジーグラフ  $G_A$   
Fig. 7 Acyclic topology graph  $G_A$ .



[ 条件 CL ]

- i)  $r(a) \in Z^+$  の場合,  $(1, 1) \vee (*, 0) \vee (0, *) (* \geq 0)$
- ii)  $r(a) = h$  の場合,  $(1, 1) \vee (1, 0) \vee (0, 1)$

( 3 ) Select

スキャンレジスタ選択は以下の二つのステップからなり, 1 回の実行で一つのレジスタを選択する .

Step 1 重み  $(l, r)$  について,  $l, r$  がともに 2 以上のすべての辺に対し,  $lr/c(a)$  が最大である辺を選択する .

Step 2 重み  $(l, r)$  について,  $l, r$  のいずれかが 1 以下であるすべての辺に対し,  $lr$  が最小である辺を選択する . ただし,  $lr > 1$  とする .

重み  $(l, r) (l, r > 1)$  をもつ辺を選択すれば, その辺の終点と出力頂点間, 出発点とその辺の始点間に存在するすべての辺について, 少なくとも, 包含関係の成り立たない経路が  $l, r$  個減少する . したがって,  $l, r$  が大きい辺を選択すると, 各辺の重みへの影響が大きい . 一方,  $l, r$  のどちらかが 1 以下になった場合, ホールド辺で, かつ,  $lr$  が小さいものから選択する . 重み  $(1, r)$  について, 条件 CM を満たすためには, 少なくとも  $r \leq 1$  でなければいけない ( $r = 1$  は必ずしも条件 CM を満たさない) .  $r$  が大きいということは, それよりも小さい値をもつ辺に比べ, より出発点に近いことを意味する . したがって, 小さい値をもつ辺を選択すれば, そのために重みが減少する辺の数が増え, より速く 1 以下になると期待できる . 逆に, 大きい値を選択すると, 出発点とその辺間に存在するすべての辺に関しては解決するが, それ以下の値をもつ辺は依然として未解決のままである . ホールド辺のみを対象とする理由は, 同じ重みのロード辺を選択しても, 必ずしもホールド辺の重みが解決するとは限らないからである .  $(l, 1)$  に対しても同様である .

また, このとき, 出発点に接続するホールド辺を選択するのも一つの解である . しかし, 最悪すべてのホールド辺が選択されることがある .

その他の手続きについて, *Redraw* は, それまでに得られた辺集合  $R_P$  を  $G_A$  から取り除き, グラフを再構成する . このとき, 新しくできる入出力頂点は別の部分グラフとなる . また, *L\_Select* は,  $G_S$  が条件 CM(1) を満たしていない場合, ハードウェアオーバーヘッド最小のロード辺を  $G_S$  が条件を満たすまで一つずつ撰択する .

今, 無閉路なトポロジグラフ  $G_A$  ( 図 7 ) に対し ( $G_A$  において, 太線はホールド辺を表し, ( ) で表す

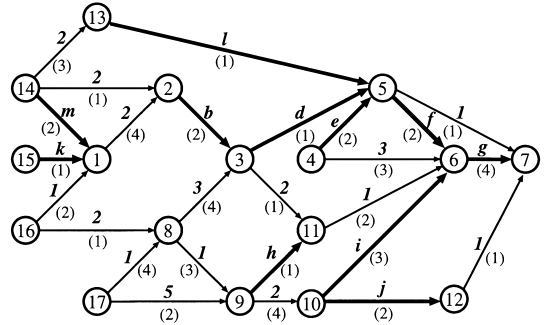


図 8 核回路のトポロジグラフ  $G_P$   
Fig. 8 Kernel for  $G_P$ .

数字は, その辺をスキャン化する際のオーバーヘッドを示す), *Adjust* を適用した結果得られる核回路のトポロジグラフを図 8 に示す . このとき, 求める辺集合は  $R_P = \{(3, 4), (1, 3), (1, 8)\}$  となり, ハードウェアオーバーヘッドは 3 となる .

また, *Adjust* を適用する部分グラフの順番も重要である . ここでは, 元のグラフに存在するホールド辺数に対し, 部分グラフに含まれるホールド辺数が多いものを優先する . その結果, 異なるホールド辺を含む経路に重複して現れる辺が最初に選択されることになり, 早い段階で条件を満たす可能性が高くなる .

4. 3 時間計算量

本手法は, 入出力頂点对から得られるすべての部分グラフに対し *Adjust* を適用する . *Transform* は必ずしも必要ではないが, 簡単化を行うことで後の処理が簡単になる . *Transform*, *Calcweight*, *Check\_Adjustable*, *Select*, *Redraw*, *L\_Select* は, 各辺をそれぞれ一度ずつ調べるだけでよいため,  $O(m)$  できる ( $m = |A|$ ) . また, 一つの部分グラフに対し, 各手続きは最悪  $m$  回繰り返され, 部分グラフの総数は  $O(n^2)$  であるため, *Adjust* に要する計算量は  $O(n^2m)$  となる .

5. む す び

本論文では, ホールドレジスタを含む無閉路順序回路に対する組合せテスト生成可能な時間展開モデルを提案し, 更に, 最大展開モデルを有する (最大テスト可能な) 順序回路の一つのクラスとして, 経路調整可能な回路を示した . 更に, 核回路が経路調整可能となるような部分スキャン設計法を提案した . 今後の課題として, 経路調整可能な回路クラスより大きな, 最大

テスト可能な回路クラスを探すことが挙げられる。これにより、部分スキャン設計において、ロードレジスタをホールドレジスタに変更することも可能になり、ハードウェアオーバーヘッドの削減が期待できる。

謝辞 本研究に関し、多くの貴重な御意見を頂いた本学の増澤利光助教授、井上美智子助手、大竹哲史助手、並びに、情報論理学講座の諸氏に感謝します。本研究は一部、文部省科学技術研究費補助金・基盤研究B(2) (課題番号 09480054)、及び、奨励研究(A) (課題番号 09780280)の研究助成による。

#### 文 献

- [1] H. Fujiwara, Logic Testing and Design for Testability, The MIT Press, 1985.
- [2] M. Abramovici, M.A. Breuer, and A.D. Friedman, Digital Systems Testing and Testable Design, Computer Science Press, 1990.
- [3] K.-T. Cheng and V.D. Agrawal, "A partial scan method for sequential circuits with feedback," IEEE Trans. Comput., vol.39, no.4, pp.544-548, April 1990.
- [4] D.H. Lee and S.M. Reddy, "On determining scan flip-flops in partial-scan design approach," Proc. Int. Conf. Computer-Aided Design, pp.322-325, Nov. 1990.
- [5] R. Gupta, R. Gupta, and M.A. Breuer, "The BALLAST methodology for structured partial scan design," IEEE Trans. Comput., vol.39, no.4, pp.538-544, April 1990.
- [6] 藤原秀雄, 大竹哲史, 高崎智也, "組合せテスト生成複雑度でテスト生成可能な順序回路構造とその応用," 信学論(D-I), vol.J80-D-I, no.2, pp.155-163, Feb. 1997.
- [7] R. Gupta and M.A. Breuer, "Testability properties of acyclic structures and applications to partial scan design," Proc. IEEE VLSI Test Symp., pp.49-54, 1992.
- [8] T. Inoue, T. Hosokawa, T. Mihara, and H. Fujiwara, "An optimal time expansion model based on combinational ATPG for RT level circuits," Proc. IEEE 7th Asian Test Symp., vol.39, no.4, pp.190-197, April 1998.
- [9] 三原隆宏, 井上智生, 藤原秀雄, "L/H型レジスタを考慮した組合せATPGに基づくRTレベル部分スキャン設計法," 信学技報, FTS96-67, Feb. 1997.
- [10] 佐野ちいほ, ホールド機能を考慮した順序回路のテスト容易化設計に関する研究, 奈良先端科学技術大学院大学修士論文, NAIST-IS-MT9751051, Feb. 1999.
- [11] S.T. Chakradhar, A. Balakrishnan, and V.D. Agrawal, "An exact algorithm for selecting partial scan flip-flops," Proc. 31th ACM/IEEE Design Automation Conf., pp.81-86, June 1994.

(平成12年1月21日受付, 3月28日再受付)



佐野ちいほ (学生員)

平9 四国大・経営情報・情報コース卒。平11 奈良先端大博士前期課程了。現在奈良先端大博士後期課程に在学中。テスト生成, テスト容易化設計に関する研究に従事。



三原 隆宏

平8 岡山大・工・情報卒。平10 奈良先端大博士前期課程了。同年三菱電機コントロールソフトウェア(株)に入社。



井上 智生 (正員)

昭63 明大・工・電子通信卒。平2 同大大学院博士前期課程了。同年松下電器産業(株)入社。明治大大学院博士後期課程を経て, 平5 奈良先端大情報科学研究科助手。平11 より広島市立大学情報科学部助教授。松下電気電器産業(株)においてマイクロプロセッサの研究開発に従事。明治大, 奈良先端大, 広島市大において, テスト生成, 並列処理, テスト容易化設計に関する研究に従事。博士(工学)。IEEE, 情報処理学会各会員。



Debesh K. Das

Jadavpur University 卒。同大大学院博士課程了。現在同大学準教授。1998 日本学術振興会特別研究員(奈良先端大客員研究員)。論理合成, テスト生成に関する研究に従事。



藤原 秀雄 (正員)

昭44 阪大・工・電子卒。昭49 同大大学院博士課程了。阪大工学部助手, 明治大理工学部教授を経て, 現在奈良先端大情報科学研究科教授。昭56 ウォータールー大客員助教授。昭59 マッギル大客員準教授。論理設計, 高信頼設計, 設計自動化, テスト容易化設計, テスト生成, 並列処理, 計算複雑度に関する研究に従事。著書に "Logic Testing and Design for Testability" (The MIT Press) など。工博。情報処理学会会員。IEEE Fellow, IEEE Golden Core Member。