

# テストデータ削減のための必須割当に基づくテストポイント挿入法

平本 和子<sup>†</sup> 吉川 祐樹<sup>††</sup> 市原 英行<sup>††</sup> 井上 智生<sup>††</sup>

<sup>††</sup> 広島市立大学大学院情報科学研究科 〒731-3194 広島県広島市安佐南区大塚東 3-4-1

E-mail: †hiramoto@dsgn.im.hiroshima-cu.ac.jp, ††{yosikawa,ichihara,tomoo}@hiroshima-cu.ac.jp

**あらまし** 本研究では、テストポイント挿入によるテストデータ量の削減法を考案する。故障の中には、同じ信号線に異なる値の割当を必要とするため、同一のテストパターンでは検出できない関係にある故障が存在する。これらの故障はテストポイントの挿入によりその必須割当の衝突を解消でき、同じテストパターンで検出可能となる場合がある。本研究ではこの事実に着目し、テストポイント挿入により解消される必須割当の衝突解消度を示す評価尺度とその評価尺度に基づくスキャン設計のためのテストポイント挿入アルゴリズムを提案する。実験により、テストデータ量を最小にする最適なテストポイント数が存在すること、また、従来法の尺度に比べて提案する評価尺度がテストパターン数を削減可能であることを示す。提案するテストポイント挿入法は少ないテストポイントでテストパターン数だけでなくテストデータ量の削減が可能である。

**キーワード** テストポイント, テストデータ量削減, 含意操作, 必須割当, 故障の衝突

## A Test Point Insertion Method for Test Data Reduction Based on Necessary Assignment

Kazuko HIRAMOTO<sup>†</sup>, Yuki YOSHIKAWA<sup>††</sup>, Hideyuki ICHIHARA<sup>††</sup>, and Tomoo INOUE<sup>††</sup>

<sup>††</sup> Graduate School of Information Sciences, Hiroshima City University  
3-4-1 Ozuka-higashi, Asaminami-ku, Hiroshima 731-3194, Japan

E-mail: †hiramoto@dsgn.im.hiroshima-cu.ac.jp, ††{yosikawa,ichihara,tomoo}@hiroshima-cu.ac.jp

**Abstract** In this work, we discuss a method for reducing test data by test point insertion. Focusing on the fact that test points can resolve conflicts among faults that require different assignments to identical signal lines for detection, we propose a measure of test points for the ability to resolve such fault conflict based on necessary assignments for fault detection. We also present an algorithm for inserting test points in scan design based on the proposed test point measure. The analytical results with experiments show that, there exists an optimal number of test points which minimizes the amount of test data (or the test application time). Experimental results show that our test point insertion method is effective in reducing the test data volume, not just the number of test patterns, with a few test points, and the proposed test point measure is more effective in reducing the test patterns than the measure reported in previous works.

**Key words** Test point, test data reduction, implication, necessary assignment, fault conflict

### 1. はじめに

近年の半導体技術の進展に伴い、LSI は大規模、高集積化する一方、LSI のテストはますます複雑化している。回路中の故障に対して、自動テスト生成ツール (ATPG) で高い故障検出率を達成するために、一般にはテスト容易化設計 (DFT) が行われる。

DFT の手法の 1 つとして、テストポイント (TP) 挿入によるテストデータ削減法が存在する [1] [2] [3] [4]。文献 [1] [2] [3] で

は、COP (controllability/observability program) テスタビリティ [5] の解析により、TP 挿入による回路全体のテストコスト削減を見積もり、削減が大きい TP 挿入点を探索する方法である。文献 [4] では、確率的指標により TP 挿入点を決定し、テストパターン圧縮率を向上させることでテストデータを削減する手法が提案されている。

本研究ではテストパターン数の削減を行うために、2 つの故障が同じテストパターンでテストできない原因に着目した評価尺度を提案する。提案する評価尺度は、従来の評価値に考慮さ

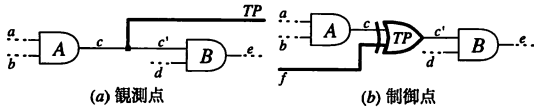


図1 テストポイント

れていない、TPを挿入することで故障同士の関係の変化を考慮した評価値、つまりTP挿入によるテストパターンの変化を意識した評価値となっている。この評価値を用いてTPを選択することにより、テストパターン数増加の原因の1つである故障の必須割当の衝突を解消することができ、テストデータ量を削減できる。さらに、提案する評価尺度に基づくスキャン設計のためのテストポイント挿入アルゴリズムを提案する。実験により、テストデータ量を最小にする最適なテストポイント数が存在すること、また、従来法の尺度に比べて提案する評価尺度がテストパターン数を削減可能であることを示す。提案するテストポイント挿入法は少ないテストポイントでテストパターン数だけでなく、テストデータ量の削減が可能である。

## 2. テストポイントとテストパターン

TPは制御点と観測点の2種類がある[6]。制御点は可制御性、観測点は可観測性を向上させることができる。

本研究では、制御点と観測点のそれぞれに対するTP挿入の効果について考えるため、図1のシンプルな構造と機能を持つTPを使用する。図1の制御点と観測点は、それぞれ別に存在するために挿入の自由度が高くハードウェアオーバーヘッドが小さい。さらに、テスト対象となるTPの故障数が少ないという利点をもつ。

観測点は図1(a)のように、外部出力もしくはスキャンFFに接続する信号線である。挿入により、ゲートAの出力である信号線cの値を信号線dの値に依存せずに観測することができ、Aに到達可能な信号線領域(ファンインコン)の信号線の可観測性を向上させることができる。

制御点は、図1(b)のように、1つの入力を自由に制御できるXORゲートである。文献[1][2][3]では、ANDゲートやORゲートの制御点を用いているが、本研究で使用するXORゲートの制御点は、信号線fの値を制御することにより入力値の論理を故障の影響をマスクせずに反転させることができる。さらに、XORゲートを用いた制御点は、マルチプレクサを使用することによりハードウェアオーバーヘッドが小さい利点がある。例えばf=0のときc'=c、f=1のときc'=c̄となり、cの可観測性を損なうことなくd'の値を制御できる。

TP挿入技術は主に故障検出率向上のために用いられるが、ここではテストデータ量の削減のために用いる。例えば、図2(a)の信号線aの1縮退故障(a-1)を検出するためのテストパターン(a,b,c)=(0,1,1)と、図2(b)の故障c-1の故障を検出するためのテストパターン(a,b,c)=(0,1,0)は、検出のために割り当てる必要のある信号線cの値が異なるため、同じテストパターンで2つの故障を検出することが出来ない。し

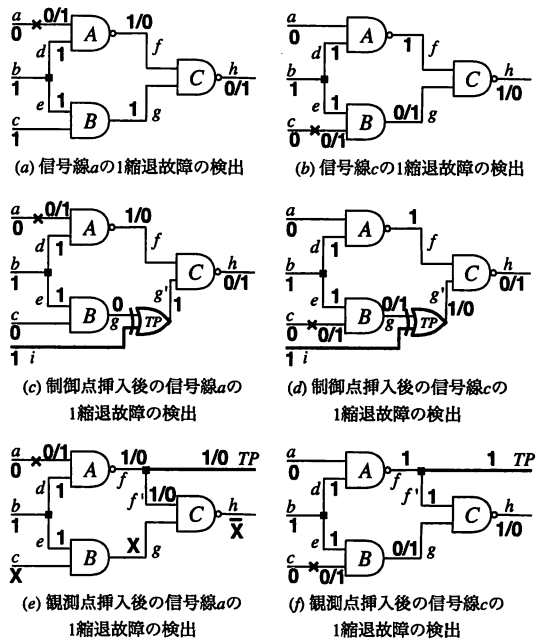


図2 テストポイントによるテストデータ量の削減

かし、図2(c),(d)で示すように、信号線gに制御点を挿入して制御信号線i=1とすることで、a-1を検出するために必要な割当であるc=1が必要なくなり、c-1と同じテストパターン(a,b,c)=(0,1,0)で故障を検出できる。また、a-1とc-1が同じテストパターンで故障を検出可能となる別の方法として、図2(e),(f)で示すように信号線fに観測点を挿入する方法がある。これにより、a-1を検出するために必要な割当であったc=1が必要ではなくなり(ドントケア)、c-1と同じテストパターン(a,b,c)=(0,1,0)で故障を検出できる。

提案するTP挿入法は、2つの故障が同じテストパターンで検出できない原因に着目し、その原因を解消するようにTPを挿入する手法である。この手法により、1つのテストパターンでより多くの故障を検出できるようになりテストデータ量が削減できる。

## 3. 必須割当に基づく故障の衝突の解消

2つの故障が同じテストパターンで検出できない原因の1つとして、故障の必須割当の衝突がある。本節では、故障の必須割当と必須割当が原因でおこる故障の衝突について述べ、その問題を解消するTPの効果について説明する。

図2(a)は、故障a-1を検出する様子を示している(信号値割当は、正常時/故障時を示す)。必須割当は故障を活性化させるために必要な割当と、故障を伝搬させるために必要な割当がある。故障a-1を活性化させるために必要な割当はa=0である。また、故障の影響を伝搬させるために必要な割当は、ゲートAの出力に伝搬させるために必要なd=1とゲートCの出力に伝搬させるために必要なg=1である。さらに、これらの必須割

当の含意により決まる  $b = 1, c = 1, e = 1, f = 1, h = 1$  も必須割当である。これらの必須割当により、 $a-1$  はテストパターン  $(a, b, c) = (0, 1, 1)$  で故障を検出できる。

2つの故障が同じテストパターンで故障を検出できないことを故障の衝突といい、衝突の原因の1つとして必須割当の衝突がある。図2(b)は、故障  $c-1$  を検出するための必須割当を示しており、テストパターン  $(a, b, c) = (0, 1, 0)$  で  $c-1$  を検出できる。図2(a)と比較すると、信号線  $g, h, c$  で異なる値を必須割当としている。これを故障の必須割当の衝突といい、 $a-1$  と  $c-1$  が同じテストパターンで故障を検出できない原因の1つであると考えられる。

制御点は、信号線の挿入前後の信号値の値を反転することができる。この性質により、2つの故障の必須割当の衝突を解消することが可能である。

図2(c), (d)は、制御点による故障の衝突解消により、故障  $a-1$  と故障  $c-1$  が同じテストパターンで故障を検出する様子を示している。 $a-1$  は  $g = 1$  を必須割当とする故障の1つであり、 $c-1$  は  $g = 0$  を必須割当とする故障の1つである。この2つの故障は必須割当が衝突しているが、(c), (d)のように制御点を信号線  $g$  に挿入し  $i = 1$  とすることで、 $a-1$  の信号線  $g$  の必須割当を0にできるため、同じテストパターンで故障を検出できる。

一方で、観測点は、挿入によりファンインコンの信号線の可観測性を高めることができるため、2つの故障の必須割当の衝突を解消することが可能である。

図2(e), (f)は観測点による故障の必須割当解消により、故障  $a-1$  と故障  $c-1$  が同じテストパターンで故障を検出する様子を示している。図2(a), (b)より、 $a-1$  は信号線  $f$  の分岐を含まないファンインコン領域であるファンアウトフリーゾーン (FFR) に存在する故障であるため、NAND ゲートの非制御値である  $g = 1$  を伝搬のための必須割当とする。また  $c-1$  は、 $g = 0$  を必須とする故障である。この2つの故障の必須割当の衝突は、(e), (f)のように観測点を  $f$  に挿入することで、 $a-1$  の信号線  $g$  の必須割当が不要となり衝突を解消できる。この必須割当の衝突の解消により (e), (f) では、2つの故障は同じ1つのテストパターンで故障を検出できる。

#### 4. 故障の衝突解消に基づくテストポイント評価尺度

前節で述べたように、TP の挿入により2つの故障の必須割当を解消することができる。よって、必須割当の衝突を解消すると故障の衝突が解消され、テストパターン数が減少すると仮定できる。そこでテストデータ量削減のための戦略として、必須割当の衝突をできるだけ多く解消できる TP 挿入点を選択することで、少ない TP 数でテストデータ量を削減できると考えられる。

TP で解消可能な故障の衝突を特定するには、必須割当の衝突が原因で衝突する故障を探す必要がある。本節では、TP 挿入により必須割当の衝突を解消できる故障数を見積もるために、冗長故障判定アルゴリズムの FIRE (Fault Independent

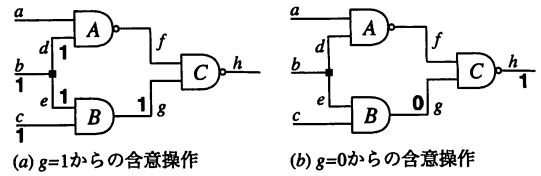


図3 FIREの必須割当判定方法

Redundancy identification algorithm) [7] で用いられる、ある値割当を必須とする故障を見つける方法を導入する。FIRE は、必須割当の矛盾に基づく冗長故障判定アルゴリズムである。以下では、FIRE で用いられる故障を見つける方法を紹介し、TP を選択するための評価尺度を提案する。

#### 4.1 必須割当に基づく衝突故障の判定

FIRE は  $l = v$  ( $v \in \{0, 1\}$ ) を含意する必須割当を見つけるため、 $l = \bar{v}$  から含意操作を行う。含意操作の結果、 $l = \bar{v} \Rightarrow m = u$  ( $u \in \{0, 1\}$ ) が得られると、 $m = \bar{u} \Rightarrow l = v$ 、 $m = \bar{u}$  が  $l = v$  を含意する信号値割当であることがわかる。これにより、 $l = v$  を必須とする故障集合  $S_{l=v}$  を求めることができる。ここで、 $m = \bar{u}$  を必須とする故障は、以下のように一般的にいえる。

(1) 故障  $m-u$ 。

(2) 信号線  $m$  が2入力ゲート  $G$  の入力であり、 $\bar{u}$  がゲート  $G$  の非制御値であるとき、ゲート  $G$  の  $m$  以外のもう一方の入力  $n$  の FFR である  $F_n$  内の故障。

前述の関係を用いて、図3の回路を用いて例を示す。図3(a)に示すように、 $g = 0$  を含意する信号値割当を見つけるため、 $g = 1$  から含意操作を行う。含意操作により、 $g = 1 \Rightarrow \{b = 1, c = 1, d = 1, e = 1\}$  が得られる。これらの対偶を考えると、 $b = 0, c = 0, d = 0, e = 0$  はいずれも  $g = 0$  を含意することがわかる。ここで、 $b = 0, c = 0, d = 0, e = 0$  を直接必須割当とするのは、 $b-1, c-1, d-1, e-1, g-1$  となり、 $S_{g=0} = \{b-1, c-1, d-1, e-1, g-1\}$  である。さらに、図3(b)は、 $g = 1$  を含意する信号値割当を  $g = 0$  の含意操作により得ている様子である。同様に考えると、 $S_{g=1} = \{g-0, h-1\}$  であることがわかる。さらに、 $g = 1$  はゲート  $C$  の非制御値であることから、上述の(2)より、 $F_f = \{a-1, a-0, d-1, d-0, f-1, f-0\}$  も  $g = 1$  を必須とする故障集合であることがわかる。よって、 $S_{g=1}$  は  $F_f$  も含む故障集合であり、 $S_{g=1} = \{g-0, h-1, a-1, a-0, d-1, d-0, f-1, f-0\}$  となる。

#### 4.2 テストポイント評価尺度

前節の関係を用い、必須割当に基づく故障の衝突を解消するための評価尺度を以下に提案する。制御点は、信号線の信号値割当を反転することができるため、同じ信号線に異なる値を必須割当とする2つの故障の必須割当の矛盾を解消することが可能である。よって、信号線  $l$  に制御点を挿入により、 $l = 0$  を必須とする故障集合  $S_{l=0}$  と、 $l = 1$  を必須とする故障集合  $S_{l=1}$  の任意の故障ペア  $(f_0, f_1) \in S_{l=0} \times S_{l=1}$  の必須割当の衝突を解消できる。

**定義 (制御点の評価値) :** 信号線  $l$  に制御点を挿入したときの評価値  $cnt_l$  は、 $cnt_l = |S_{l=0} \times S_{l=1}|$  とする。

定義より、図 3 の例では  $cnt_g = |S_{g=0} \times S_{g=1}| = |\{b-1, c-1, d-1, e-1, g-1\} \times \{g-0, h-1, a-1, a-0, d-1, d-0, f-1, f-0\}| = 5 \times 8 = 40$  となる。

次に、観測点の評価尺度を考える。ゲート  $G$  の入力信号線を  $l, m (l \neq m)$  とし、ゲート  $G$  の制御点を  $c_G$  とする。信号線  $l$  に観測点を挿入することで、信号線  $l$  の FFR の可観測性が向上し、伝搬の条件  $m = \overline{c_G}$  を必須とする故障集合  $F_l$  は  $m = \overline{c_G}$  を必須割当としなくなる。よって、 $l$  に観測点を挿入により、信号線  $m = c_G$  を必須とする故障集合  $S_{m=c_G}$  の任意の故障ペア  $(f_0, f_1) \in S_{m=c_G} \times F_l$  の衝突を解消することができる。

**定義 (観測点の評価値) :** 信号線  $l$  に観測点を挿入したときの評価値  $ob_l$  は、ゲート  $G$  の入力信号線を  $l, m (l \neq m)$ 、ゲート  $G$  の制御点を  $c_G$  とするとき、 $ob_l = |S_{m=c_G} \times F_l|$  とする。

定義により、図 3 の例では  $ob_l = |S_{m=c_G} \times F_l| = |\{b-1, c-1, d-1, e-1, g-1\} \times \{a-1, a-0, d-1, d-0, f-1, f-0\}| = 5 \times 6 = 30$  となる。

## 5. テストデータ削減のためのポイント挿入法

一般的に TP 挿入はフルスキャン設計を仮定するため、テスト使用時以外はバッファとすることができる FF を TP 専用で使用する。そこで本研究では、O 型と Z 型の 2 種類のスキャンポイント設計に対し、評価値  $cnt_l$  と  $ob_l$  を用いて必須割当の衝突を解消可能とする TP 選択アルゴリズムを 2 種類提案する。

### 5.1 スキャンポイント設計法

挿入する信号線や TP の種類により衝突解消の効果が異なることから、全体の故障の必須割当の衝突を解消する TP を選択することが、テストデータ削減に有効であると考えられる。

一般的に TP 挿入はフルスキャン設計を仮定し、TP には図 4(a)(b) に示すように、テスト使用時以外はバッファとすることができる FF を TP 専用で使用する。スキャンポイント設計の方法は、図 4(a) の O 型と図 4(b) の Z 型の 2 種類が考えられる。図 4(a) の O 型は、1 つの TP 用 FF が制御と観測を同じ信号線  $l$  で行う設計であり、図 4(b) の Z 型は、1 つの TP 用 FF が制御と観測をする点を、信号線  $l$  と信号線  $m$  のように異なる信号線上で行う設計である。

O 型の設計メリットは、制御点の信号線  $test$  の故障を観測点で検出するため、TP の故障検出のためのテストパターンの追加が不要となる。一方、Z 型の設計メリットは、制御点と観測点を挿入する信号線をそれぞれ選択するため、両方の効果が高いと考えられる。O 型と Z 型のメリットより、TP の故障検出のためのテストパターン増加が大きい場合は O 型のスキャン設計を用いたほうがテストパターン数削減に効果があると考えられる。一方、制御点の効果と観測点の効果が両方とも高いような信号線が存在しない場合は、Z 型のスキャン設計を用いたほうがテストパターン数削減に効果的であると考えられる。

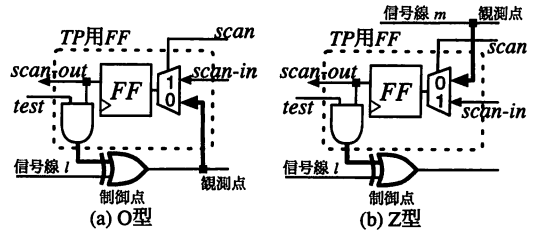


図 4 スキャンポイント設計法

### 5.2 TP 選択アルゴリズム

前節で述べた、O 型と Z 型のスキャンポイント設計法は、スキャンポイントの配線の型が異なることから、より効果のある TP の評価の仕方や選択法が異なる。そこで、4.1 で得た故障ペアの必須割当の衝突を解消する数を示す  $cnt_l = |S_{l=0} \times S_{l=1}|$  と  $ob_l = |S_{m=c_G} \times F_l|$  を信号線  $l$  に対する TP の評価に用いる。

O 法は、同じ信号線  $l$  に観測点と制御点を挿入するため、観測点と制御点の両方の評価を足し合わせた値を評価値として用いる。ただし、O 法での  $cnt_l$  と  $ob_l$  は制御点と観測点の評価を同等に扱うものとし、それぞれ正規化した後の  $cnt_l$  と  $ob_l$  を評価値の計算で用いる。Z 法は、異なる信号線に観測点と制御点をそれぞれ挿入するため、前節で得た計算値  $cnt_l$  と  $ob_l$  を評価値としてそれぞれ用いる。

図 4(a) の O 型スキャンポイント設計を使用し、TP を  $N$  個選択する TP 選択アルゴリズム (O 法) を以下に示す。

#### TP 選択アルゴリズム (O 法)

- (1) 入出力以外の各信号線  $l$  に対して、 $cnt_l$  と  $ob_l$  を計算および正規化し、 $cnt_l + ob_l$  を計算。
- (2) TP 評価値の最大のものから  $N$  個選択し、制御点と観測点を挿入。
- (3) O 型のスキャンポイント設計を行う。

図 4(b) の Z 型スキャンポイント設計を使用し、 $cnt_l$  と  $ob_l$  を用いて観測点と制御点をそれぞれ  $N$  個選択する TP 選択アルゴリズム (Z 法) を以下に示す。

#### TP 選択アルゴリズム (Z 法)

- (1) 入出力以外の各信号線  $l$  に対して、 $cnt_l$  と  $ob_l$  を計算。
- (2)  $cnt_l$  の最大のものから  $N$  個選択し、制御点挿入。
- (3)  $ob_l$  の最大のものから  $N$  個選択し、観測点挿入。
- (4) Z 型のスキャンポイント設計を行う。

## 6. 実験結果

提案する 2 つの TP 選択アルゴリズムを用いて実験を行った。ITC99 ベンチマーク回路を対象とし、TP 探索の計算は Apple PowerPC G5 (CPU: Dual 2GHz) 上でを行い、テスト生成は SUN Blade2000 上で TetraMAX (Synopsys) を用いた。表 1 に、実験で使用した 12 個の回路のゲート数 (#GATE)、信号線数 (#LINE)、フリップフロップ数 (#FF)、外部入力数 (#PI)、外部出力数 (#PO)、代表故障数 (#FAULT) を示す。

表 1 実験回路情報

回路	#GATE	#LINE	#FF	#PI	#PO	#FAULT
b04	737	102	66	8	11	1646
b07	441	92	49	1	8	1072
b08	183	89	21	9	4	442
b09	170	103	28	1	1	403
b10	206	167	17	11	6	485
b11	770	118	31	7	6	1726
b13	362	296	53	10	10	830
b14	10098	509	245	32	54	22634
b15	8922	671	449	36	70	21776
b20	20226	1085	490	32	22	33191
b21	20571	1089	490	32	22	46090
b22	29951	1613	735	32	22	67472

表 2 テストパターン数と評価値の計算時間 (TP 挿入率 10% のとき)

回路	TP 数	org	Z 法	O 法	rand	time[s]
b04	9	96	87	96	100	0.294
b07	6	47	43	46	48	0.102
b08	4	38	32	35	40	0.02
b09	3	35	27	28	34	0.015
b10	4	46	43	44	52	0.027
b11	5	87	81	84	92	0.44
b13	8	37	33	39	36	0.06
b14	34	1015	897	1020	1014	10m1.356
b15	56	675	643	739	701	8m38.026
b20	55	1721	1492	1546	1640	39m50.209
b21	55	1846	1548	1724	1816	41m32.241
b22	79	2157	1967	2015	2101	87m30.449

TP 数は挿入した TP 用の FF の数とし、PI, PO, FF の総和の 10% の TP 用 FF を挿入することとし、TP 挿入前 (org) と提案手法である評価値を用いた Z 法、O 法の TP 選択法と、ランダムに TP を選択した方法 (rand) のテスト生成後のテストパターン数の結果と評価値の計算時間を表 2 に示す。また、表の太字は org, Z 法, O 法, rand のテストパターン結果のなかで、最小のテストパターンを示している。表 2 に示すように Z 法では、TP 挿入前やランダムと比較して、実験で使用した全ての回路のテストパターン数を削減できていることがわかる。O 法は、一部の回路で TP 挿入前やランダムよりテストパターンを削減できているが、Z 法の方がよりテストパターンを削減できている。

図 5 に b04 での Z 法, O 法, ランダムの TP 挿入率に対するテストパターン数削減率の変化を示す。図 5 より、ほとんどの TP 挿入率においても Z 法が最も削減されており、続いて O 法, ランダムの順でテストパターン数が削減できていることがわかる。テストパターン数の削減の様子は、ランダムは TP 挿入率に関係なく削減率が変動しているのに対して、O 法と Z 法ではグラフの傾きは異なるが TP 挿入数にほぼ比例してテストパターン数が削減していることがわかる。また、O 法より Z 法のテストパターン数削減率が高い理由として、観測点と制御点の両方の効果が高い信号線が存在しないことと、TP の故障が原因によるテストパターン数が少ないためと考えられる。

また、表 2 の 7 列目の評価値の計算時間は、回路規模の小さな回路では 1 秒未満であり、実用的な計算時間で評価値を計算

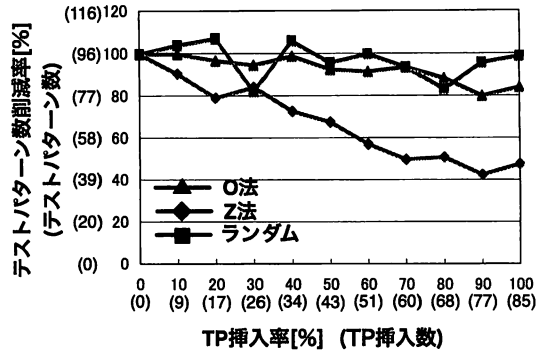


図 5 テストポイント挿入率に対するテストパターン数削減率の変化 (b04)

表 3 テストデータ量 (TP 挿入率 10% のとき)

回路	TP 数	org	Z 法	O 法	rand
b04	9	8160	8178	9024	9400
b07	6	2726	2752	2944	3072
b08	4	1292	1216	1330	1520
b09	3	1050	891	924	1122
b10	4	1564	1634	1672	1976
b11	5	3828	3969	4116	4508
b13	8	2701	2673	3159	2916
b14	34	335965	327405	372300	370110
b15	56	374625	392873	451529	428331
b20	55	936224	893708	926054	982360
b21	55	1004224	927252	1032676	1087784
b22	79	1701873	1707356	1749020	1823668

し TP 選択可能であった。一方で、回路規模の大きい b14 以降の回路に対しては数 10 分程度となり、評価値の計算時間は表 1 の #LINE の 2 乗にほぼ比例して増加している。これは、今回の実験では入出力信号線を除く全ての信号線で評価値の計算を行ったためであり、実用的な計算時間で評価値を計算し、TP 選択をするためにはヒューリスティックにより探索を限定する必要があると考えられる。

次に 10% の TP 挿入によるテストデータ量の結果を表 3 に示す。今回の実験で評価したテストデータ量 (TD) は、以下の式 (1) で求めた。

$$TD = (FF + TP) \times (\text{テストパターン数}) \quad (1)$$

ここで TP は挿入した TP 用の FF 数を意味しており、フルスキャン設計を仮定している。そのため、TP 用の FF を含め回路の全ての FF 数がテストパターン長となっている。よって、TD は (テストパターン長) × (テストパターン数) であるため、式 (1) のようになる。

表 3 の太字は、org, Z 法, O 法, rand のテストデータ量の結果で最小のデータ量を示している。表 3 より、テストパターン数の削減が一番見られた Z 法においても、一部の回路のテストデータ量を削減できたがそれほど大きな削減は見られなかった。これは式 (1) に示すように、テストパターンが削減できたことによるデータ量削減よりも、TP による FF の増加による

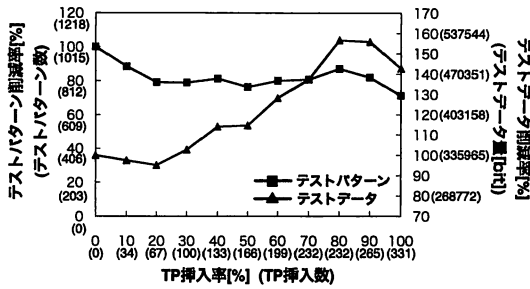


図 6 テストポイント挿入率に対するテストパターン数削減率とテストデータ削減率変化 (b14)

テストパターン長の増加が大きかったためである。

図 6 に、b14 に TP 挿入率を 0%~100%まで 10%刻みで実験をしたときの、テストパターン削減率とテストデータ削減率を示す。テストパターン数は TP 挿入率 100%のときに 30%削減しているのに対して、テストデータ量は 20%のときに 5%程度の削減となり、テストパターンの削減に対してテストデータ量ではあまり削減が見られなかった。また、テストパターン数は TP 挿入率の増加に伴い削減しているのに対して、テストデータ量は 20%以降は増加する傾向にあった。このように、回路によってテストデータ量削減率と挿入する TP 数の間にはトレードオフの関係があり、最適な TP 数はテストパターン数の削減率の変化の割合で決定する。

次に表 4 に、提案する評価値 (prop), 従来の評価値 (ACR) を用い、Z 法のアルゴリズムによる TP 選択を行って、テスト生成した結果を示す。表 4 では、5%と 10%の TP 挿入数によるテスト生成の結果のうち、最小の方のテストパターン数の結果とテストデータ量の結果を示す。

比較する従来の評価値としては、文献 [1] [2] [3] で紹介されている、評価値 ACR (Actual Cost Reducion) を用いた。ACR は、TP 挿入前後の平均故障検出コストの差分であり、テストバリエーション尺度 COP に基づいている。文献 [1] [2] [3] で提案されている評価尺度は、ACR の計算時間を削減するためにヒューリスティックを用いて改良された、ACR の近似解を求める手法である。今回の実験では、評価値の精度の比較が優先されるため、ACR を用いて実験を行った。

TP 選択アルゴリズムは、prop と ACR の評価値の効果を比較するために、ACR では TP の種類は XOR を用い、Z 法とは評価値の計算法だけが異なる同様の TP 選択アルゴリズムを使用した。また、表の太字は prop, ACR のテストパターン結果とテストデータ量の結果の中で、それぞれ最小のデータを示している。表 4 に示すように prop を用いた TP 選択では、ACR を用いた TP 選択による結果と比較して、半数以上の回路でより有効的な TP を選択していることがわかる。

以上の実験結果より、提案する評価値を用いた手法の有効性を確認できる。

表 4 テストパターン数とテストデータ量の比較 (TP 挿入率 5% と 10% において最小の結果)

回路	テストパターン数		テストデータ量 TD [bit]	
	prop	ACR	prop	ACR
b04	87	94	<b>8178</b>	8836
b07	40	43	<b>2440</b>	2752
b08	32	38	<b>1216</b>	1368
b09	27	30	<b>891</b>	990
b10	43	42	1634	<b>1596</b>
b11	81	72	3969	<b>3528</b>
b13	33	35	<b>2673</b>	2835
b14	897	823	327405	<b>286404</b>
b15	643	592	392873	<b>361712</b>
b20	1492	1508	<b>893708</b>	903292
b21	1548	1608	<b>927252</b>	919776
b22	1952	1981	<b>1618208</b>	1719508

## 7. まとめ

本研究では、故障の衝突原因の 1 つである必須割当の衝突を TP を用いて解消可能であることに着目し、必須割当の衝突解消度の高い信号線に TP を挿入することで故障の衝突を解消し、テストデータ量を削減させるアルゴリズムを提案した。実験結果より、Z 法で実験で用いた全ての回路のテストパターン数が削減でき、一部回路でテストデータ量を削減できたことを示した。また、テストパターンとテストデータの間をより詳しく調べることで、テストデータ量の削減にはテストパターン数の削減率が重要であり、テストデータ量の削減率と TP 挿入率はトレードオフの関係があることがわかった。さらに、従来の評価値 ACR を用いた TP 選択における評価値の有効性の比較では、提案する評価尺度を用いた方が、より有効な TP を選択することを確認した。今後の課題は今回の実験結果を踏まえ、TP 効果の解析や、ヒューリスティックを用いた評価値の計算時間の削減、さらに TP 効果の予測法の提案が挙げられる。

## 文 献

- [1] M. J. Geuzebroek, J. Th. van der Linden and A. J. van de Goor, "Test Point Insertion for Compact Test Sets," the International Test Conference, pp.348-357, 1999.
- [2] A. J. van de Goor, Test Point Insertion to improve BIST performance, and to reduce ATPG test time and data volume, Delft University Press, 2003.
- [3] H.-C. Tsai, K.-T. Cheng, C.-J. Lin and S. Bhawmik, "A Hybrid Algorithm for Test Point Selection for Scan-Based BIST," Design Automation Conference, 1997.
- [4] 吉村, 細川, 太田, "ATPG パターン数削減指向テストポイント挿入方法", 電子情報通信学会論文誌, Vol. J86-D-I, No. 12, pp. 884-896, 2003.
- [5] F. Brglez, "On Testability of Combinational Networks," ISCS, pp.221-225, 1984.
- [6] N. K. Jha, S. Gupta, Testing of Digital System, Cambridge University Press, 2003.
- [7] M. A. Iyer and M. Abramovici, "Low-Cost Redundancy Identification for Combinational Circuits," 7th International Conference on VLSI Design, pp.315-318, January. 1994.