

AS-2-3

# 単電子トンネリングデバイスを用いた ノイズシェーピングとデルタシグマ領域の演算回路

Noise Shaping and Sigma-Delta Domain Circuit

by Using Single-Electron Tunneling Device

堅小翼<sup>1</sup>  
Tsubasa Katao

藤坂尚登<sup>1</sup>  
Hisato Fujisaka

神尾武司<sup>1</sup>  
Takeshi Kamio

生岩量久<sup>1</sup>  
Kazuhisa Haeiwa

広島市立大学<sup>1</sup>  
Hiroshima City University

## 1 はじめに

量子効果デバイスを用いた回路の研究が近年活発に行われている。量子効果デバイスは熱や電磁波などの影響を受けやすく、誤動作を引き起こしやすい。演算回路等の計算機用回路では誤りの訂正が必要であるが、信号処理回路においては、システムの暴走、停止を防止できれば、処理後の信号品質劣化をある程度許容できる場合がある。これは従来のアナログ信号処理回路における熱雑音による信号劣化に対応する。この設計思想に従って、シーケンスコントロール部を持たないアーキテクチャと重み付けされていないシリアル信号形態の併用が提案され [1], 具体的な方法としてはデルタシグマ (SD: Sigma-Delta) 領域の信号処理が候補となる [2][3]。本研究では量子効果デバイスの一つである単電子トンネリング (SET: Single-Electron Tunneling) デバイスを用いて SD 領域信号処理用回路を構成した。

## 2 単電子トンネリングデバイス

SET デバイスは図 1 (a) に示すようなトンネル接合を基本素子として構成され、トンネル接合を直列に接続すると、回路から局所的に切り離されたアイランドを形成する。SET デバイスにおいてトンネル効果とクーロンブロッケードにより、アイランド内への電子 (正孔) の流入が制御される。

現在, SET デバイスの回路として, 図 1(b) の Linear Threshold Gate (LTG) [4] や図 1(c) の CMOS 回路を模倣したインバーター [5] が提案されている。本研究ではこれらの回路をそれぞれ論理ゲート, バッファとして使用した。また, 図 1 (d) のように, 4 相クロックを用いて各アイランドに電子を順次移動させる Unit Delay (D) を考案した。

## 3 一次デルタシグマ変調

一次 SD 変調器は入力と出力の差を積分して 2 値に量子化して出力する。入力レベルが高いときは +1, 低いときは -1 の出力頻度が高くなり, 0 のときは +1 と -1 を交互に出力する。これより, 出力の局所平均値は入力に追従する。また, SD 変調は出力のフィードバックループによりノイズシェーピング効果を持つため, 逐次変換方式に比べ信号帯域内の量子化ノイズ電力が低減され, オーバーサンプリング率 (OSR) 上昇によりこの低減効果がより効果的に働く。

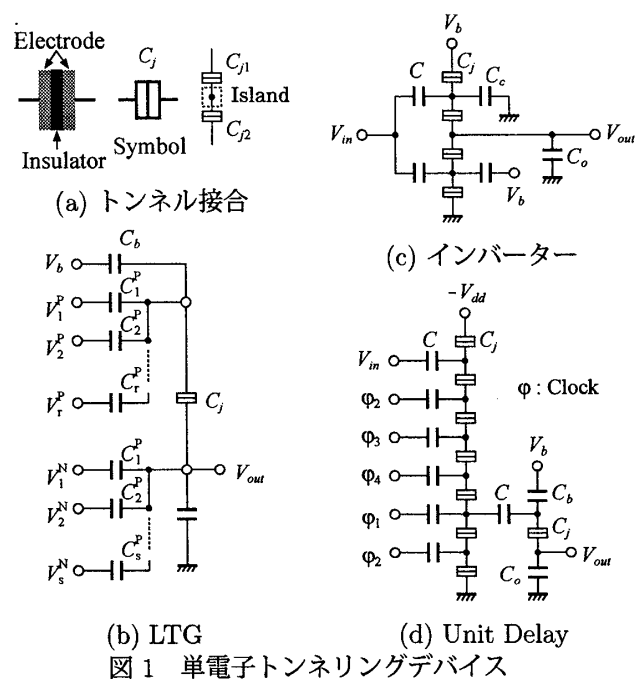


図 1 単電子トンネリングデバイス

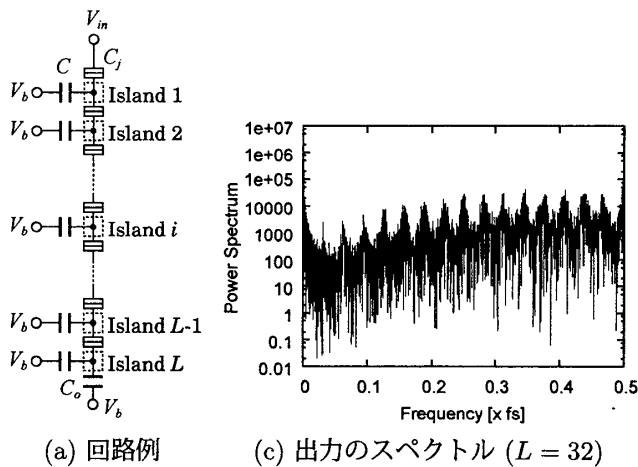
## 4 疑似デルタシグマ変調

図 2 (a) のような回路を構成することで疑似的に SD 変調が行える。入力電圧を印加すると電子 (正孔) が各アイランド内に順にトンネルしてくる。電子は相互作用により反発しあい, 間隔を空けて配置されるので, アイランド内の電子の有無をそれぞれ整数値 (-1,+1) と見なせば, これは空間的に SD 変調的な信号の並びであるといえる。この電子の並びを図 2 (c) の回路により時系列信号に変換することで, 一次 SD 変調的な信号が得られる。図 2 (c) は SET デバイスのシミュレーター (SIMON) の出力の周波数スペクトルを示している。これより, 回路にフィードバックループがなくても高周波帯域にノイズが集まっていることがわかる。

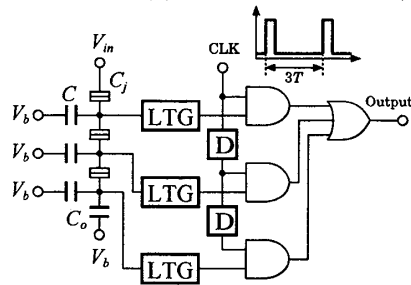
## 5 デルタシグマ領域における算術演算回路

### 5.1 加算回路

加算回路はソーティングネットワークを基にして構成され, SET デバイスを用いて図 3 のよう構成される。出力  $z(n)$  は入力  $x(n) + y(n)$  の SD 変調となる [2][3]。



(a) 回路例 (c) 出力のスペクトル ( $L = 32$ )



(b) 空間領域から時間領域への並び替え ( $L=3$ )  
図2 疑似デルタシグマ変調

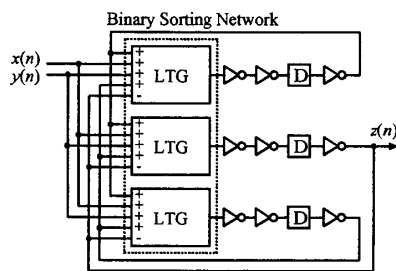


図3 SET デバイスを用いた加算器

5.2 乗算回路

SD 変調した信号を直接乗算すると正確な解を得られないことがあるため、乗算は被乗数信号  $x(n), y(n)$  の部分和の積として計算される [2][3]。Sub-multiplier は連続する 2-bit の部分和の積を求め、SD Domain Adder は積を SD 変調信号に変換する。図4に乗算器の構成を示す。

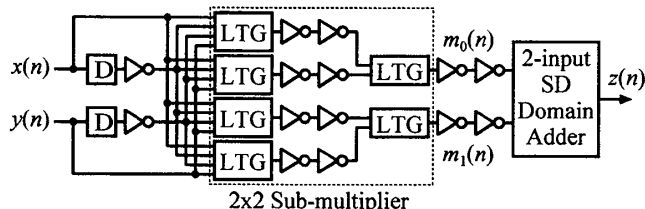
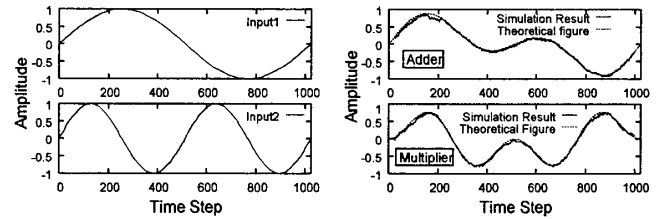


図4 SET デバイスを用いた  $2 \times 2$  乗算器

各演算回路を SET デバイスにより構成し、SIMON によりシミュレーションを行った。その結果を図5に示す。なお、入力是一次 SD 変調された正弦波である。



(a) 入力波形 (b) 出力平均  
図5 シミュレーション結果 (50点移動平均)

6 誤動作に対するノイズ電力の変化

回路が誤動作したとき、どのように出力信号が劣化するかをシミュレーションした。シミュレーション方法は、回路を構成する各ユニットの誤動作率を [単一トンネル接合の誤り率  $\times$  トンネル接合の数] として行った。図6に加算器のシミュレーション結果を示す。

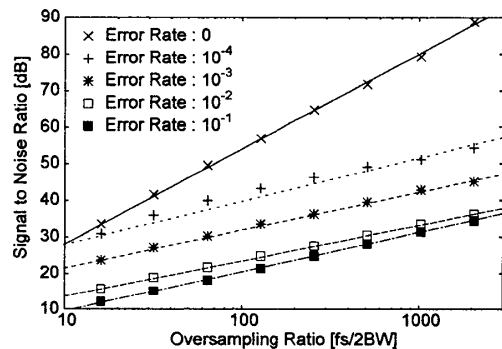


図6 各トンネル接合誤動作率における OSR 対 SNR (加算器)

7 まとめ

SET デバイスを用いて疑似 SD 変調回路と SD 領域の演算回路を構成した。図5よりその動作が確認できた。SD 変調は本質的には量子化ノイズの大きい変調方式であるため、図6において、OSR が低いときにはノイズ電力に大きな差は見られなかった。今後の課題は、各回路の熟成と機能の高度化である。

参考文献

- [1] H.Fujisaka et.al., "A Fault-Tolerant Architecture for Nanoelectronic Signal Processing" *Proc. Conf. IEEE NANO'04*
- [2] T.Katao et.al., "Sorter-based Sigma-Delta Domain Arithmetic Circuits," *Proc. ECCTD'07*.
- [3] T.Katao et.al., "A Circuit Design for Compact Sigma-Delta Domain Multiplier," *Proc. NOLTA, 2007*
- [4] C.Lageweg, S.Cotofana, and S.Vassiliadis, "A Linear Threshold Gate Implementation in Single Electron Technology," in *Proc. IEEE Computer Society VLSI Workshop, 2001*.
- [5] J.R.Tucker, "Complementary Digital Logic based on the Coulomb Blockade," *Journal of Applied Physics*, Vol.72, No.9, pp.4399-4413, 1992.