

C-11-14

しきい値電圧抽出方法の比較

Comparison of MOSFET-Threshold-Voltage
Extraction Methods

寺田和夫、西山勝彦、畠中啓一

Kazuo TERADA, Katsuhiko NISHIYAMA and Kei-ichi Hatanaka

広島市立大学 情報科学部

Faculty of Information Sciences, Hiroshima City University

はじめに 多くの MOSFET しきい値電圧 (V_{TH}) 抽出方法が提案されている。[1,2]それらは同じしきい値電圧を抽出しているのであるが、同じ MOSFET に対して異なる値を与える。本研究では、それらのしきい値電圧の互換性を調べるため、それらの差が一定か否かを調べる。

抽出方法 表1に示す7種類の方法でしきい値電圧を抽出し、そのチャンネル長依存性などを比較した。ここで CLE 法は、寄生抵抗と移動度のゲート電圧依存性の影響を取り除いた LE 法のことである。ゲート酸化膜厚 10nm の n チャンネル MOSFET を使用し、CC, SRE, SDL 法ではドレイン電圧 $V_D=1V$ で、他の方法では $V_D=50mV$ でドレイン電流を測定した。

表1

Extraction method name	Definition W: Channel Width, L: Channel Length
Constant Current(CC)	V_G when $I_{DS}=1nA*(W/L)$
Linear Extraction(LE)	Extrapolating $I_{DS}-V_G$ relation to $I_{DS}=0$ from $I_{DS}=2\mu A*(W/L)$
Square Root Extraction(SRE)	Extrapolating $I_{DS}^{1/2}-V_G$ relation to $I_{DS}=0$ from $I_{DS}=2\mu A*(W/L)$
Second Difference Log..(SDL)[3]	V_G at which the slope of $\log I_{DS}-V_G$ curve takes the extremum
g_m Extraction(GME)[4]	extrapolating g_m-V_G relation to $g_m=0$ from maximum slope point
Transconductance Change(TC)	V_G at which d^2I_{DS}/dV_G^2 is maximum
Corrected LE(CLE)	LE method using the corrected $I_{DS}-V_G$ relation.

結果と考察 図1にしきい値電圧のチャンネル長依存性を示す。どの方法で抽出した値も同様であるが、少し違う振る舞いを示す。この違いを明らかにするため、それらの相関係数と、CC法で抽出したしきい値電圧 V_{THCC} と他の方法で抽出したものの差の標準偏差(σ)を計算した。いずれの σ もウエハ内でのしきい値電圧ばらつきを表す標準偏差よりも小さかった。相関係数を表2に示す。この表から、各しきい値電圧は強い相関を示す2つのグループ(CC, LE, SRE, CLE) と (SDL, GME, TC)に分けられることがわかる。後者のグループではサブスレッシュ領域からオン領域にまたがるドレイン電流からしきい値電圧を抽出している。このことが、ドレイン電流のチャンネル長依存性を複雑にしているものと考えられる。そのため、後者グループの抽出方法はしきい値電圧のチャンネル長依存性を議論する目的には、少し相応しくない。

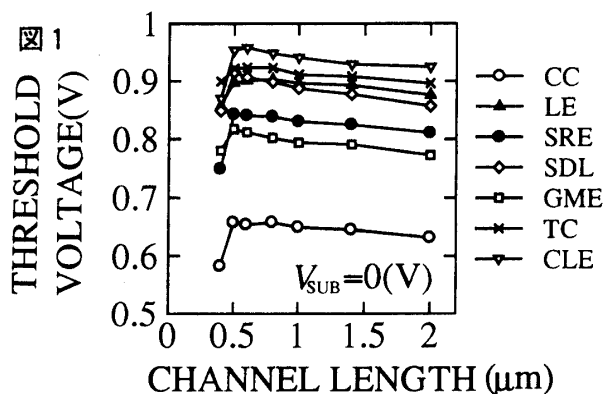


表2

	CC	LE	SRE	SDL	GME	TC	CLE
CC		0.97	1.00	0.84	0.68	0.75	0.98
LE			0.96	0.89	0.76	0.85	0.95
SRE				0.85	0.69	0.75	0.99
SDL					0.96	0.96	0.88
GME						0.95	0.73
TC							0.78
CLE							

参考文献: [1] D. Schroder: "Semiconductor material and device characterization", John Wiley & Sons, Inc. (1990), [2] J. Liou, et al.: "Analysis and design of MOSFETs", Kluwer Academic Publishers, (1998), [3] K. Aoyama: Simulation of semiconductor dev./proc., Vol.6, p.118-121, (1995), [4] M. Tsuno, et al.: IEEE Trans. ED, Vol.46 p.1429-1434, (1999)